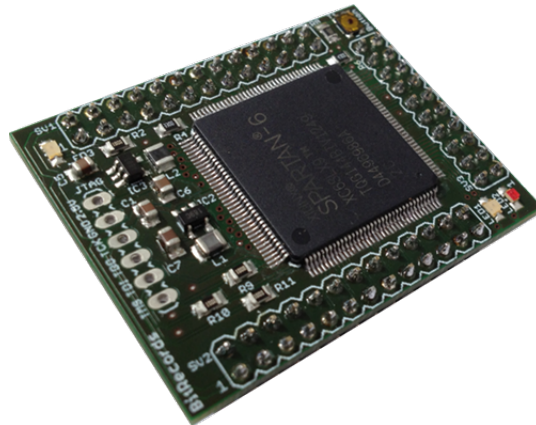


# FPGA Modul XC6SLX9



FPGA Modul zur Anwendung im Hobby- und Prototypenbereich

## Eigenschaften:

- |  |   |
|--|---|
| <ul style="list-style-type: none"><li>• Xilinx Spartan 6 (XC6SLX9-2TQG144C)</li><li>• 68 Nutzer-I/Os</li><li>• 2 LEDs, 1 Taster</li><li>• On-Board 50MHz Oszillator</li><li>• Spannungsversorgung 3.3V</li></ul> | <ul style="list-style-type: none"><li>• SPI Flash zur Speicherung von Konfigurationen und Nutzerdaten</li><li>• 6-Pin JTAG Header</li><li>• Rastermaß: 2.54 mm</li><li>• Maße: 46 x 36 mm</li></ul> |
|--|---|

## Versorgungsspannungen:

Zum Betrieb des Moduls ist eine Spannung von 3.3V notwendig. Diese ist an einem der Versorgungspins über die Pinleiste bereitzustellen (siehe Pinbelegungen).

Die Betriebsspannung der FPGA-Bänke und somit aller Nutzer-I/Os liegt fest bei 3.3V.

## On-Board Schnittstellen:

Das Modul ist bestückt mit 2 Nutzer-LEDs (active high) und einem Taster (active low). Zur synchronen Ablaufsteuerung wurde ein 50MHz Oszillator integriert. Folgende FPGA Pins wurden hierfür verwendet:

- LED1 - P1 (FPGA Pin)
- LED2 - P2
- Taster - P35
- 50MHz - P14

## **Flash Speicher:**

Der angebundene 32MBit SPI Flash Speicher (Nymonyx M25P32) kann auch zur Speicherung von Nutzerdaten verwendet werden.

Folgende FPGA Pins wurden hierfür verwendet:

D (Serial Data Input)	- P64 (FPGA-Pin)
Q (Serial Data Output)	- P65
C (Serial Clock)	- P70
$\overline{S}$ (Chip Select)	- P38

Die Flash-Signale  $\overline{W}$  und  $\overline{HOLD}$  sind permanent auf HIGH gelegt.

## **Konfiguration:**

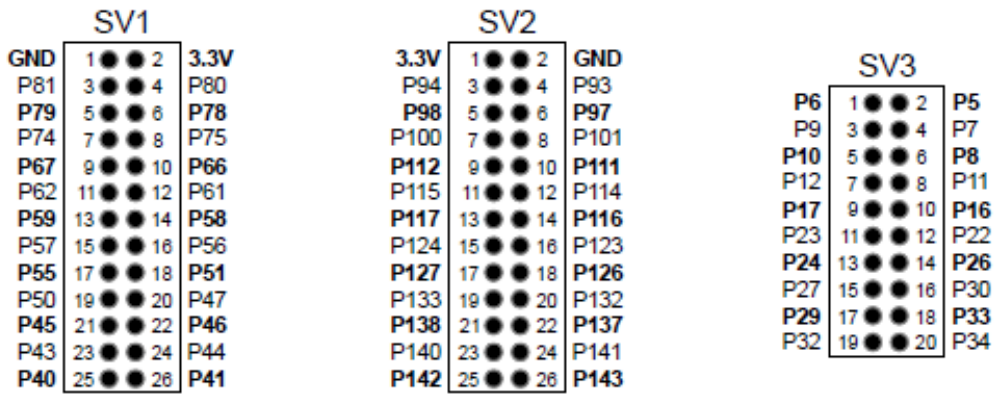
Die Parametrierung des Moduls erfolgt über einen 6-Pin JTAG-Header, mit dem Konfigurationsdaten zu Testzwecken direkt in das FPGA oder zum automatischen Laden nach Systemstart in den angebundene(n) SPI Flash übertragen werden können. Die Konfiguration kann z.B. mittels des Xilinx iMPACT Tools erfolgen.

Eine erfolgreiche Konfiguration wird durch die leuchtende DONE-LED angezeigt.

Das Speichern der Konfigurationsdaten im Flash erfolgt durch indirekte SPI Programmierung. Eine detaillierte Anleitung befindet sich im Anhang B.

### Pinbelegungen:

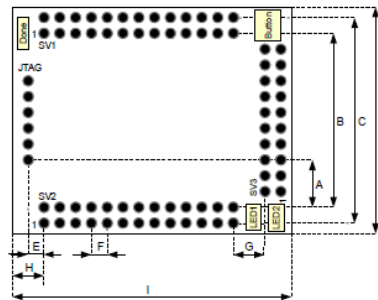
Folgende FPGA Pins wurden an die Pinleisten geführt:



Die detaillierten Pinbezeichnungen sind im Anhang A aufgeführt.

### Abmessungen:

Symbol	Maß (mm)
A	7.62
B	27,94
C	33.02
D	36.07
E	2.54
F	2.54
G	3.81
H	6.10
I	45.72



**Anhang A:**
**PinOut**
**SV1**

Pinleiste		FPGA	
Pin #	Pin #	Bank	Pinbezeichnung
1	GND		
2	3.3V		
3	P81	1	IO_L46P_1
4	P80	1	IO_L46N_1
5	P79	1	IO_L47P_1
6	P78	1	IO_L47N_1
7	P74	1	IO_L74N_1
8	P75	1	IO_L74P_1
9	P67	2	IO_L2P_2
10	P66	2	IO_L2N_2
11	P62	2	IO_L12P_2
12	P61	2	IO_L12N_2
13	P59	2	IO_L13N_2
14	P58	2	IO_L14P_2
15	P57	2	IO_L14N_2
16	P56	2	IO_L30P_GCLK1_2
17	P55	2	IO_L30N_GCLK0_2
18	P51	2	IO_L31P_GCLK31_2
19	P50	2	IO_L31N_GCLK30_2
20	P47	2	IO_L48N_2
21	P45	2	IO_L49N_2
22	P46	2	IO_L49P_2
23	P43	2	IO_L62N_2
24	P44	2	IO_L62P_2
25	P40	2	IO_L64N_2
26	P41	2	IO_L64P_2

**SV2**

Pinleiste		FPGA	
Pin #	Pin #	Bank	Pinbezeichnung
1	3.3V		
2	GND		
3	P94	1	IO_L40N_GCLK10_1
4	P93	1	IO_L41P_GCLK9_1
5	P98	1	IO_L34P_1
6	P97	1	IO_L34N_1
7	P100	1	IO_L33P_1
8	P101	1	IO_L32N_1
9	P112	0	IO_L66P_SCP1_0
10	P111	0	IO_L66N_SCP0_0
11	P115	0	IO_L65P_SCP3_0
12	P114	0	IO_L65N_SCP2_0
13	P117	0	IO_L64P_SCP5_0
14	P116	0	IO_L64N_SCP4_0
15	P124	0	IO_L37P_GCLK13_0
16	P123	0	IO_L37N_GCLK12_0
17	P127	0	IO_L36P_GCLK15_0
18	P126	0	IO_L36N_GCLK14_0
19	P133	0	IO_L34N_GCLK18_0
20	P132	0	IO_L35P_GCLK17_0
21	P138	0	IO_L4P_0
22	P137	0	IO_L4N_0
23	P140	0	IO_L3P_0
24	P141	0	IO_L2N_0
25	P142	0	IO_L2P_0
26	P143	0	IO_L1N_VREF_0

**SV3**

Pinleiste		FPGA	
Pin #	Pin #	Bank	Pinbezeichnung
1	P6	3	IO_L52P_3
2	P5	3	IO_L52N_3
3	P9	3	IO_L50N_3
4	P7	3	IO_L51N_3
5	P10	3	IO_L50P_3
6	P8	3	IO_L51P_3
7	P12	3	IO_L49P_3
8	P11	3	IO_L49N_3
9	P17	3	IO_L43P_GCLK23_3
10	P16	3	IO_L43N_GCLK22_3
11	P23	3	IO_L41N_GCLK26_3
12	P22	3	IO_L42P_GCLK25_3
13	P24	3	IO_L41P_GCLK27_3
14	P26	3	IO_L37N_3
15	P27	3	IO_L37P_3
16	P30	3	IO_L36P_3
17	P29	3	IO_L36N_3
18	P33	3	IO_L2P_3
19	P32	3	IO_L2N_3
20	P34	3	IO_L1N_3

**OnBoard**

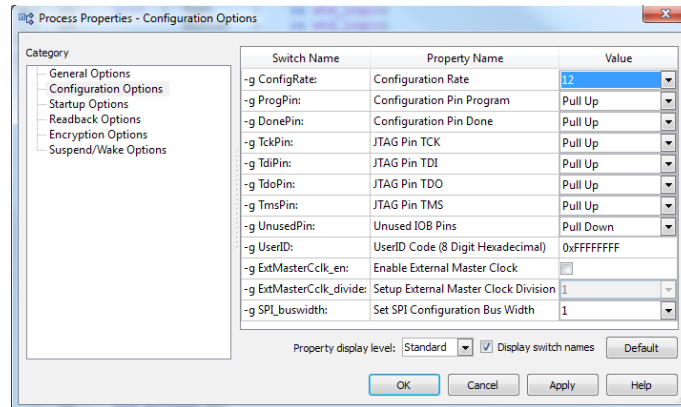
Signal	Pin #	Bank	Pinbezeichnung
LED1	P1	3	IO_L83N_3
LED2	P2	3	IO_L83P_3
Taster	P35	3	IO_L1P_3
50MHz	P14	3	IO_L44N_GCLK20_3

**Flash**

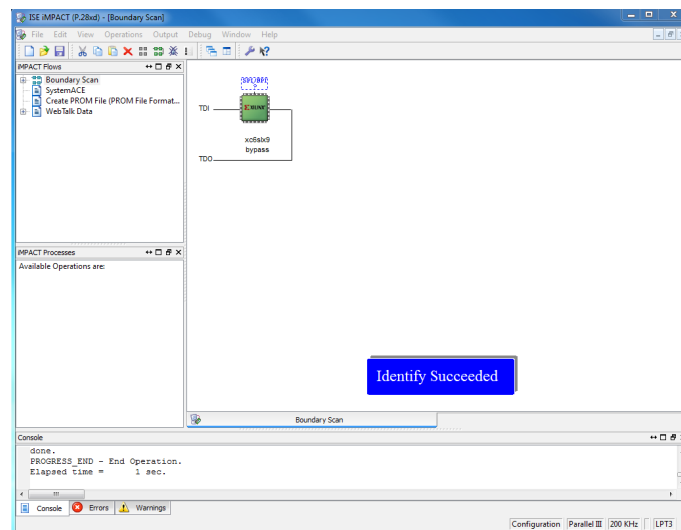
D	P64	2	IO_L3N_MOSI_2
Q	P65	2	IO_L3P_DIN_2
C	P70	2	IO_L1P_CCLK_2
$\bar{S}$	P38	2	IO_L65N_CSO_B_2

## Anhang B: SPI Flash Konfiguration (Xilinx iMPACT)

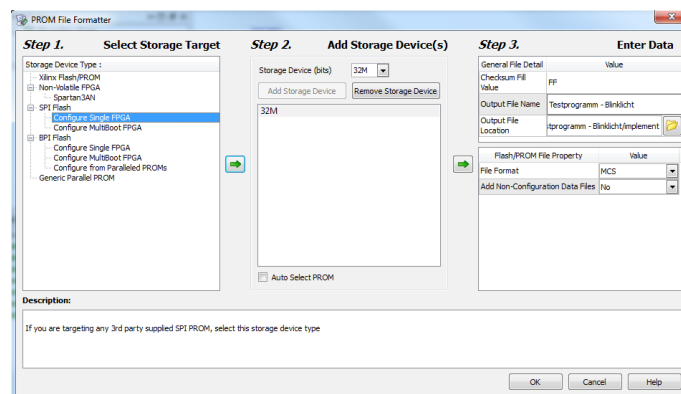
- legen Sie bei Nutzung des Xilinx ISE Project Navigator vor Erzeugung der bit-Datei die Konfigurationsrate für den SPI Flash PROM fest: Generate Programming File -> Process Properties -> Configuration Options -> Configuration Rate -> 12



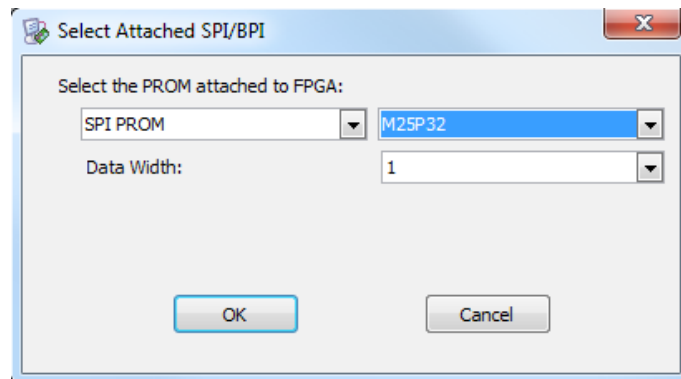
- verbinden Sie das Modul über ein JTAG Kabel mit dem Rechner und stellen Sie die Spannungsversorgung her
- starten Sie Xilinx iMPACT und wählen Sie den Boundary Scan Modus
- das Xilinx Spartan 6 FPGA sollte erkannt werden



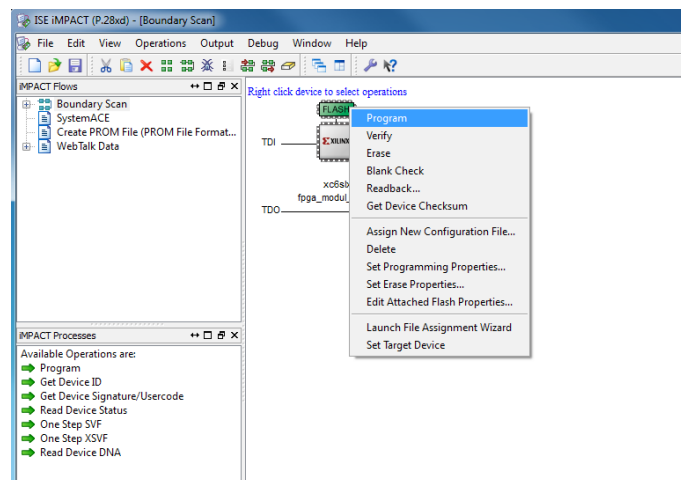
- erzeugen Sie aus der bit-Datei eine mcs-Konfigurationsdatei für den Flash Speicher; wählen Sie im Auswahldialog die Option „Configure Single FPGA“ und als Speichergröße 32MBit



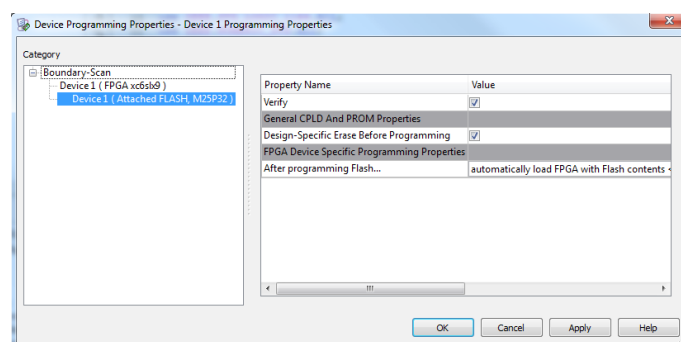
- wählen Sie nach einem Rechtsklick auf das FPGA-Icon die Option „Add SPI/BPI Flash ...“ und selektieren Sie im folgenden Dialog die zu speichernde mcs-Datei
- wählen Sie den SPI Flash aus (SPI PROM - M25P32)



- nach einem Rechtsklick auf das Flash-Icon können Sie über die Option „Program“ die Übertragung vornehmen



- wählen Sie für die Übertragung die Einstellungen „Verify“ und „Erase before Programming“



- nach einer korrekten Übertragung wird das Programm jedes Mal automatisch in das FPGA geladen, sobald die Spannungsversorgung hergestellt wird